

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-259039

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

C03C 27/04

(21)Application number : 09-064586

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1997

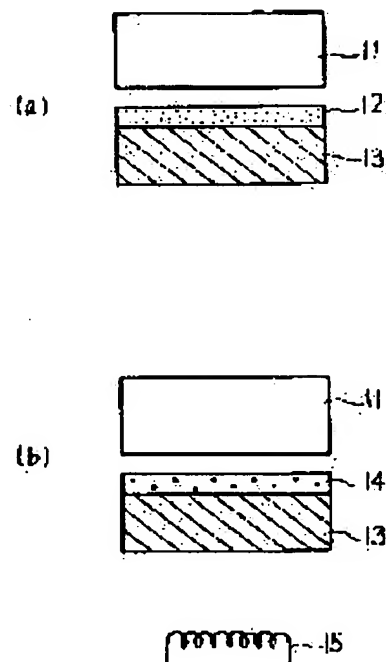
(72)Inventor : HONJO ICHIRO

(54) ANODIC BONDING AND DEVICE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To enable to realize a uniform anodic bonding strong in adhesivity and produce functional elements having fine three-dimensional structures, such as micromachines, by disposing a metal layer for forming an eutectic compound between a glass layer and a conductor or semi-conductor layer, heating the layers, and subsequently applying a direct current voltage between the glass layer and the conductor or semi-conductor layer.

SOLUTION: This method for the anodic bonding comprises inserting a metal layer capable of forming an eutectic compound together with silicon 14 at a lower temperature than the softening point of glass 11, such as a gold layer, between the glass 11 and a conductor or semiconductor layer 13 such as a silicon layer, heating the metal layer at a temperature above the eutectic point with a heater 15 to react the conductor or semi-conductor 13 with the metal layer 14, thus forming the region 14 of the eutectic compound on the interface of the silicon 13, and subsequently applying a direct current voltage to the glass 11 as a cathode and to the silicon 13 as an anode to anodically bond the glass 11 to the silicon 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which a conductor or a semi-conductor, and the eutectic-ized metal layer are made to intervene at low temperature rather than the softening temperature of glass between a glass layer, a conductor or a semi-conductor layer, and said glass layer and said conductor, or a semi-conductor layer, and is heated, The anode plate junction approach characterized by having the process which joins said glass layer and said conductor, or a semi-conductor layer by ****(ing) direct current voltage among these two electrodes, using said anode plate and glass layer side as cathode for a said conductor or semi-conductor layer side.

[Claim 2] The anode plate junction approach according to claim 1 characterized by using silicon as said conductor or a semi-conductor layer.

[Claim 3] The junction approach according to claim 1 characterized by using gold as said metal layer made to intervene between said conductor or a semi-conductor layer, and said glass layer.

[Claim 4] The process heated on both sides of the metal layer eutectic-ized with a conductor or a semi-conductor at low temperature rather than the softening temperature of said glass layer in the 1st field, 1st conductor, or semi-conductor layer of a glass layer which has two fields which became a pair, By ****(ing) direct current voltage among these two electrodes, using said anode plate and glass layer side as cathode for a said 1st conductor or semi-conductor layer side A conductor or a semi-conductor, and the eutectic-ized metal layer are pinched by low temperature rather than the softening temperature of said glass layer in the process which joins said glass layer and said 1st conductor, or a semi-conductor layer, and the 2nd field, 2nd conductor or semi-conductor layer of said glass layer. The anode plate junction approach characterized by having the process to heat and the process which joins said glass layer and said 2nd conductor, or a semi-conductor layer by ****(ing) direct current voltage among these two electrodes, using said anode plate and glass layer side as cathode for a said 2nd conductor or semi-conductor layer side.

[Claim 5] Equipment characterized by carrying out anode plate junction of the eutectic-ized layer of the conductor which has component structure or a semi-conductor layer, and a said conductor or a semi-conductor layer and a metal, and said eutectic-ized layer and glass layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the manufacture approach of anode plate junction of silicon important as a technique, and glass of manufacturing a functional device with the detailed three-dimensional structures, such as for example, a micro sensor and a micro electron gun.

[0002]

[Description of the Prior Art] The anode plate junction approach is the junction approach which can join comparatively semi-conductors, such as conductors, such as a metal, and silicon, and inorganic insulator layers, such as glass, firmly in a low-temperature process, without using adhesives. This approach is broadly used for formation of the detailed three-dimensional structures, such as a micro machine. This is because it is comparatively easy for it to be necessary to join the candidate for processing in the state of a wafer, and not to cause a location gap in this case according to anode plate junction, but to ensure uniform junction if it is going to manufacture at once many micro machines which need micro processing. In addition, about the ingredient suitable for anode plate junction, or junction conditions, it is G.Wallis and D.I.Pomerantz, Journal of Applied Physics.Vol.40 (1969), and pp.3946-3949, for example. It is described in detail. Next, the principle of the anode plate junction between silicon and glass is explained using drawing 11. The cathode terminal of the metal which silicon and 81 were pushed for glass, and 80 pushed 82 for glass 81, and was disbursed, the anode terminal by which 83 was connected to silicon 80, and 84 express a power source among drawing, and 85 expresses heating apparatus.

[0003] Drawing 11 (a) The glass 81 laid on silicon 80 and silicon 80 is laid on the heating apparatus 85 equipped with the heater which heats these, and the cathode terminal 82 is pressed against glass 81 so that it may be shown. Moreover, it connects electrically and an anode terminal 83 acts on silicon 80 as an anode plate. The silicon 80 and glass 81 which are joined by the anode plate conjugation method are first heated by 200-400 degrees C with heating apparatus 85. Subsequently, direct current voltage of 300-800V is ****(ed) between an anode terminal 83 and a cathode terminal 82 for 1 to 3 minutes. Although Na exists in the glass 81 interior, it is forward Na⁺ by heating. Ion is [become] easy to move in glass 81. It is Na⁺ by **** of an electrical potential difference there. Ion is lengthened to cathode 82, moves, in the cathode 82 neighborhood, is carbonated and deposits (drawing 11 (a)).

[0004] On the other hand, although negative ion, such as oxygen which has an unpaired electron, also exists in glass 81, this anion remains into glass 81. Therefore, near [where glass 81 is in contact with silicon 80 / 86] the interface, negative ion density serves as max, and it is drawing 11 (b). Electrostatic attraction strong against 86 between glass 81 and silicon 80 arises, and adhesion of glass 81 and silicon 80 occurs with this electrostatic attraction so that it may be shown.

[0005] Furthermore, when the oxygen and silicon 80 in glass 81 carry out covalent bond, strong junction arises by between glass 81 and silicon 80. Thus, in the interface of the glass 81 and silicon 80 which were combined and unified, it is drawing 11 (c). It is thought that the neutrality space-charge region 87 is formed and the thin charge field of positive/negative is formed in the both sides so that it may be shown. At this time, it is Na⁺. Migration of ion is lost, a current will not flow and anode plate junction completes it.

[0006] The above is the principle of anode plate junction and it was joining by contacting direct glass and silicon in this way conventionally.

[0007]

[Problem(s) to be Solved by the Invention] The strength [the anode plate junction by the above anode plate

junction approaches] of adhesion has the large effect by the irregularity of a plane of composition. When there are a case where minute dust is in the contact interface of glass and silicon, and curvature, using drawing 12 , the problem that adhesion becomes weak is explained. By drawing 12 , 90 shows silicon and 91 shows glass. drawing 12 (a) **** — the case where dust 92 consists in the interface of silicon 90 and glass 91 — being shown — **** — moreover, drawing 12 (b) **** — curvature etc. is in the interface of silicon 90 and glass 91, and the case where the clearance 93 is generated is shown. Drawing 12 (c) The silicon 90 and glass 91 with which dust 92 consists in an interface are heated, and what direct current voltage was applied according to the power source 98, and formed anode plate junction between cathode 96 and an anode plate 97 is shown. Since a space-charge region 94 is formed in homogeneity in the flat part of the interface of silicon 90 and glass 91 and anode plate junction takes place equally as shown in drawing, in the part, it has pasted up firmly, but around dust 92, since migration and association of a forward anion prevent [dust 92] and junction does not progress, it will be generated by the amount of [95], i.e., a void, non-jointing.

[0008] Drawing 13 expresses typically the silicon wafer 90 after the anode plate junction which such a void 95 generated, and the appearance of a glass plate 91. As explained above, in the anode plate junction by the conventional approach, the void occurred by existence of the contaminant of a plane of composition etc. and the camber of a substrate, and the problem that bonding strength fell was produced by an ununiformity arising in junction.

[0009] This invention solves such a problem, is uniform, realizes strong adhesive anode plate junction, and aims at enabling manufacture of a functional device with the detailed three-dimensional structures, such as a micro machine.

[0010]

[Means for Solving the Problem] The process which the above-mentioned trouble makes a semi-conductor and the eutectic-ized metal layer intervene at low temperature rather than the softening temperature of glass between a glass layer, a semi-conductor layer, and said glass layer and said semi-conductor layer, and heats it, It is solved by the anode plate junction approach characterized by having the process which joins said glass layer and said semi-conductor layer by ****(ing) direct current voltage among these two electrodes, using said anode plate and glass layer side as cathode for said semi-conductor layer side.

[0011] The principle of this invention is explained using drawing 1 and drawing 2 . The anode terminal by which 11 were connected to glass and the cathode terminal of the metal by which heating apparatus and 16 were connected to the power source, and 17 was connected [12 / a metal thin film and 13] to glass for silicon and 15 among drawing, and 18 was connected to silicon is expressed. Introduction and drawing 1 (a) Silicon and the eutectic-ized metal thin film 12, for example, a golden thin film, are inserted in the anode plate junction interface between glass 11 and silicon 13 at low temperature rather than the softening temperature of glass so that it may be shown.

[0012] Next, when temperature is raised with heating apparatus 15 beyond an eutectic-ized point, it is drawing 1 (b). Silicon 13 and gold 12 react, and are eutectic-ized, and the field 14 of the eutectic combination gold of silicon and gold is thinly formed in the interface of glass 11 and silicon 13 so that it may be shown.

Subsequently, as shown in drawing 2 , anode plate 17 side and glass side 13 sticks metal membranes 20 and 21 so that it may become cathode 18, and it connects with a power source 16, respectively, and silicon side 11 applies direct current voltage. Consequently, a part for the anode plate joint 19 is formed. It is drawing 3 (a) that this junction is anode plate junction. It is proved from change of the shown current. Drawing 3 (a) Although change of the current of a from is shown immediately after impressing the electrical potential difference of 400 volts to the silicon and glass which vapor-deposited gold, a current value decreases rapidly from immediately after electrical-potential-difference impression, and signs that a current will hardly flow in several minutes are shown. This is current change in typical anode plate junction, and even if it makes gold intervene, it is proved that anode plate junction is formed.

[0013] On the other hand, by contrast, it was in the condition opposed to the vacuum evaporations side of the silicon which made gold vapor-deposit, and the aluminosilicate glass plate, and the plane of composition was only heated at 400 degrees C, and it did not join to this at all by the case where an electrical potential difference is not impressed. Moreover, where the coating side and glass plate of a "TO-8" mold metal package made from covar which coated about 1 micrometer of gold are opposed About 10 kgf/cm² was pressurized, and after heating so that the temperature of a plane of composition may become 400 degrees C further, when the anode plate and glass side impressed so that a gold side might serve as cathode in the electrical potential difference of

requires that the covalent bond which forms an oxide should advance between the oxygen atoms and anode metals which remained after the movable ion in glass moved to cathode, in order to form anode plate junction, and anode plate junction is considered for not occurring only with the metal which does not carry out covalent bond to an oxygen atom like gold. Therefore, in the silicon and glass which vapor-deposited gold, it is shown that the eutectic of golden - silicon is carrying out anode plate junction with glass.

[0014] By the above approaches, as a result of joining, when the void generated by the consistency of 2 mm hundreds of pieces /when conventional gold was not inserted inserts gold, it decreases sharply to generating of about [several //mm] two. This is equal to generating of a void having been lost as a matter of fact. Thus, it is drawing 3 (b) that a void decreases by anode plate junction formation with the glass 11 and silicon 13 between which the golden thin film was made to be placed. It is because there is effectiveness which the gap of non-conflicting parts in accordance with 22, such as dust of the interface of glass 11 and silicon 13, is buried, and changes a junction interface into a uniform condition according to the eutectic combination golden field 14 being soft so that it may be shown. Thus, the formed anode plate junction turns into little firm junction of generating of a void.

[0015]

[Embodiment of the Invention] The gestalt of operation of the first of this invention is explained using drawing 4 below. Drawing 4 (a) The silicon substrate 30 of the magnitude 20mmx20mm square which formed gold 31 with a thickness of about 100nm in the front face by the spatter is opposed to the golden 31 vacuum-evaporation side and the aluminosilicate glass plate 32 with a thickness [containing sodium] of about 0.1mm so that it may be shown.

[0016] Next, drawing 4 (b) It is drawing 4 (c) in the condition of having heated with heating apparatus 33 so that the plane of composition of a silicon substrate 30 and a glass plate 32 might become 400 degrees C, and having made the silicon substrate 30 and the glass plate 32 eutectic-izing so that it may be shown. The rear face of a silicon substrate 30 is connected to the anode terminal 35 of DC power supply 34 so that it may be shown, the rear face of a glass plate 32 is connected to a cathode terminal 36, and the electrical-potential difference of about 400 volts is impressed.

[0017] Thus, the approach of counting the void part which can check association with the glass plate 32 and silicon substrate 30 which were formed in a circle configuration using infrared radiation, the configuration of an interference fringe, etc. showed that generating of a void had decreased considerably, when generating of a void was inspected by the approach of checking by viewing. The second operation gestalt which applied this invention to manufacture of a micro electron gun (minute field emission electron gun) is explained using drawing 5 - drawing 10 below.

[0018] The 1st silicon with which drawing 5 is the type section Fig. of a micro electron gun module chip, and 40 in drawing has the micro field emitter 41, and 42 are SiO₂. The film, Cr film with which 43 and 45 vapor-deposited gold, and 44 show a glass insulating layer and the 2nd silicon whose 46 is an electrode for acceleration. It is the structure which the micro electron gun module chip piled up the 1st silicon 40 which has the micro field emitter 41 which discharges an electron (e⁻), the 2nd silicon 46 which is an electrode for accelerating an electron to predetermined energy, and the glass 44 of the duty which insulates and supports structure as shown in this drawing, and was joined. Here, the micro field emitter 41 is a configuration in which the triangle pole with which the tip sharpened appears in the cylindrical plinth. Moreover, the opening 47 for passing the electron emitted from the micro field emitter 41 is formed in the glass insulating layer 44.

[0019] In order to manufacture such a micro electron gun module chip, it is necessary to mainly form several layer structure of the first silicon 40, and the glass insulating layer 44 and the 2nd silicon 46. In the both sides of the glass insulating layer 44, silicon and the method of performing anode plate junction are applied on both sides of a golden thin film here, and it is SiO₂. The 1st silicon 40 which the film 42 deposited, junction of the 1st of the glass insulating layer 44, and 2nd junction to this zygote and 2nd silicon 46 are performed. Then, a wafer is cut down for each micro electron gun module chip, each micro electron gun module chip is joined to a metal module, and manufacture of a micro electron gun is completed. Hereafter, each process is explained in detail.

[0020] First, the silicon wafer 50 in which much micro field emitter chips which have two or more emitters 41 were formed is produced, and the process of ** is briefly described until it vapor-deposits a golden thin film to this.

Drawing 6 (a) As shown in a reference Fig., it is SiO₂ of about 0.5-micrometer thickness. Let the silicon wafer 50 which has the film 51 be a substrate.

reference, next this substrate, and is equivalent to the formation location of an emitter. It leaves only the film 51 and is SiO₂ of other parts. The film 51 is removed.

Drawing 6 (c) Reference isotropic etching is used and it is SiO₂. The film 51 is used as a mask and a silicon wafer 50 is etched. Thereby, it is SiO₂. Although the silicon wafer 50 of film 51 directly under is not etched, the exposed silicon wafer 50 is removed by etching. SiO₂. The silicon wafer 50 of film 51 directly under also serves as a configuration as shown in drawing by side etching from both sides. Finally, this part 52 serves as an emitter.

[0022] Drawing 6 (d) By thermal oxidation, the front face of a silicon wafer 50 is oxidized to SiO₂, and it is SiO₂. The film 53 is formed about 0.3 micrometers of thickness.

Drawing 6 (e) The whole is made to vapor-deposit the SiO film 54 by approaches, such as reference vacuum deposition. Thickness is about 0.7 micrometers. The SiO film 54 is SiO₂ of the periphery of the configuration used as an emitter, and the upper part. It is the upper part although vapor-deposited on the film 53 SiO₂. It is not vapor-deposited around the location 52 used as the emitter covered by the film 51.

[0023] Drawing 7 (a) A reference pan is made to vapor-deposit the Cr film 55 about 0.2 micrometers of thickness to the whole by approaches, such as vacuum deposition. The Cr film 55 is not vapor-deposited around the location 52 in which the SiO film 54 serves as an emitter the same.

Drawing 7 (b) Subsequently to the whole, the golden thin film 56 is made to vapor-deposit about 100nm in thickness by approaches, such as vacuum deposition, 3 **. The golden thin film 56 is not vapor-deposited around the location 52 in which the Cr film 55 and the SiO film 54 serve as an emitter the same.

[0024] Drawing 7 (c) SiO₂ of the upper part of the configuration which serves as an emitter by Reference BHF Lift off of the film 51, the SiO film 54, the Cr film 55, and the golden thin film 56 is carried out to the whole. Since it is a fluoric acid system, BHF is SiO₂. Although the film 51 and the SiO film 54 are etched, the part covered with the golden thin film 56 is not etched. On the other hand, the upper part of the configuration used as an emitter is SiO₂ which the side has exposed even if it covers with the golden thin film 56. Etching from the film 51 and the SiO film 54 progresses, and it is SiO₂. Film 51 and 53, the SiO film 54, the Cr film 55, and the golden thin film 56 are removed by the whole. An emitter 57 is exposed with this lift off.

[0025] Drawing 7 (d) Patterning of reference, next the Cr film 55 covered with the golden thin film 56 is carried out to the configuration of the gate with the golden thin film 56 using a mask. The micro field emitter chip which has the emitter 57 which vapor-deposited the golden thin film 56 according to the above process is produced. Next, junction to the silicon used as the above-mentioned micro field emitter chip, a glass insulating layer, and the electrode for acceleration is performed, and how to create a micro electron gun module chip is explained.

[0026] In addition, the 1st opening for passing the electron emitted from the emitter 57 at the time of completion of a micro electron gun using a well-known technique and the 2nd opening whose connection of the electrode and electric supply wire of each micro field emitter chip is enabled at the time of completion of a micro electron gun are formed in the glass plate used at the following processes. Moreover, opening for passing the electron emitted also to the 2nd silicon wafer for accelerating electrodes used at the following processes from the emitter 57 at the time of completion of a micro electron gun is formed, and it has vapor-deposited by the spatter beforehand in the plane of composition in the thickness whose gold is about 100nm.

[0027] Drawing 8 (a) Reference, next drawing 6 (a) - (d) And drawing 7 (a) - (d) The golden thin film 56 uses and joins the field and the insulating-layer glass plate 61 of the golden thin film 56 of the 1st silicon wafer 60 of vacuum evaporation **** for anode plate junction on the Cr film 55 produced at the process. In this case, a thing with a thickness of 100 micrometers is used by 50mmx50mm as a glass plate 61, using 3 inches of diameters, and a thing with a thickness of 500 micrometers as a silicon wafer 60.

[0028] Alignment is first performed in the 1st junction using the alignment mark of a silicon wafer 60, and the alignment mark of a glass plate 61. Then, heating at a heater 62 so that the plane of composition of a silicon wafer 60 and a glass plate 61 may become about 300 degrees C, the electric supply pad on a silicon wafer 60 is connected to the anode plate 64 of DC power supply 63, it connects with cathode 65 through a cathode terminal, and a glass plate 61 impresses the electrical potential difference of about 300 volts about 10 minutes, although there is nothing to drawing. 1st junction of the 1st silicon wafer 60 which has two or more micro field emitter chips by this, and the insulating-layer glass plate 61 is performed.

[0029] Drawing 8 (b) Reference drawing 8 (a) It is drawing 8 (b) about the joined type section Fig. of the 1st silicon wafer 60 and the insulating-layer glass plate 61. It is shown.

Drawing 9 (a) The 2nd junction process with the 2nd silicon wafer 66 which is the electrode for acceleration

In this case, 3 inches of diameters and a thing with a thickness of 200 micrometers are used as a silicon wafer 66 for the electrodes for acceleration.

[0030] Alignment is first performed in the 2nd junction using the alignment mark of the 2nd silicon wafer 66, and the alignment mark of the insulating-layer glass plate 61. Then, heating with heating apparatus 62 so that the plane of composition of the 2nd silicon wafer 66 and the insulating-layer glass plate 61 may become about 300 degrees C, the electric supply pad on the 2nd silicon wafer 66 is connected with the anode plate of DC power supply 63, the electric supply pad on the 1st silicon wafer already joined to the insulating-layer glass plate 61 is connected to the cathode of DC power supply 63, and the electrical potential difference of about 300 volts is impressed about 10 minutes. The 2nd junction process of the silicon wafer 60/the insulating-layer glass plate 61 which has two or more micro field emitter chips which are the 2nd junction process by this, and the 2nd silicon wafer 66 is performed.

[0031] Drawing 9 (b) Reference drawing 9 (a) It is drawing 9 (b) about the type section Fig. of the 1st joined silicon wafer 60, the insulating-layer glass plate 61, and the 2nd silicon wafer 66. It is shown.

Drawing 10 (a) After termination of the junction process of the reference above 1st, and said 2nd junction process, Rhine for scribes on the silicon wafer 66 for electrodes for acceleration is used, and it cuts and separates into each micro electron gun module chip 67. The micro electron gun module chip 67 is formed of the junction process which 3 layer structures of the electrode 68 for acceleration, the glass insulating layer 69, and the silicon layer 70 that has a micro field emitter mentioned above.

[0032] The electrode 68 for acceleration has the opening 71 for passing the electron emitted from the micro field emitter.

Drawing 10 (b) The micro electron gun module chip 67 cut down to 3 Teruji is assembled. As a package of a micro electron gun, the metal package 72 of "TO-5" mold is used, for example. First, the micro electron gun module chip 67 cut down by the front face of the metal package 72 of "TO-5" mold is joined.

[0033] Subsequently, each terminal of the electrode 68 for acceleration, an electrode 73, and the metal package 72 is connected with the electric supply wire 74. A micro electron gun is manufactured according to the above processes. According to this approach, it is possible to carry out abundant manufacture of the micro electron gun at once. As mentioned above, although the gestalt of concrete operation of this invention was explained, this invention should not be limited only to an example, and can be carried out in various modes, and many deformation is possible for it.

[0034] For example, although the anode plate conjugation method was taken to junction of silicon and glass with the gestalt of this operation at the example, this may be junction of a metal and glass which does not limit to silicon, glass, or a semi-conductor and glass, makes gold etc. and an eutectic alloy, and oxidizes.

[0035]

[Effect of the Invention] According to this invention the above passage, with the eutectic combination gold thinly formed in the junction interface, the gap of the non-conflicting part in accordance with dust, camber, etc. of the junction interface leading to a void is buried, and a junction interface is changed into a uniform and flat condition. Consequently, generating of a void is prevented and the effectiveness that junction will become more uniform and firm is done so.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the explanatory view (the 1) of the principle of this invention.
[Drawing 2] It is the explanatory view (the 2) of the principle of this invention.
[Drawing 3] It is the explanatory view (the 3) of the principle of this invention.
[Drawing 4] It is the explanatory view showing the gestalt of operation of the 1st of this invention.
[Drawing 5] It is the explanatory view (the 1) showing the 2nd operation gestalt of this invention.
[Drawing 6] It is the explanatory view (the 2) showing the 2nd operation gestalt of this invention.
[Drawing 7] It is the explanatory view (the 3) showing the 2nd operation gestalt of this invention.
[Drawing 8] It is the explanatory view (the 4) showing the 2nd operation gestalt of this invention.
[Drawing 9] It is the explanatory view (the 5) showing the 2nd operation gestalt of this invention.
[Drawing 10] It is the explanatory view (the 6) showing the 2nd operation gestalt of this invention.
[Drawing 11] It is the explanatory view of the conventional general anode plate junction.
[Drawing 12] It is drawing showing the trouble in the conventional approach.
[Drawing 13] It is the mimetic diagram showing the example of void generating of an anode plate junction interface.

[Description of Notations]

- 11, 32, 51, 60 Glass
13, 30, 50, 61, 70 Silicon
17, 36, 62, 76 Cathode terminal
18, 35, 63, 77 Anode terminal
16, 34, 55, 64, 78 Power source
15, 33, 54, 65 Heating apparatus
12 31 Golden thin film
14 37 Field of eutectic combination gold
19 38 A part for an anode plate joint
40 [] 1st Silicon
41 [] Micro Field Emitter
42 [] SiO₂ Film
43 45 Cr film which vapor-deposited gold
44 [] Glass Insulating Layer
46 [] 2nd Silicon Which is Electrode for Acceleration
47 [] Opening
60 [] Metal Package

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-259039

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁹

C 0 3 C 27/04

識別記号

F I

C 0 3 C 27/04

A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平9-64586

(22) 出願日 平成9年(1997) 3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 本荘 一郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通 株式会社内

(74) 代理人 弁理士 井桁 貞一

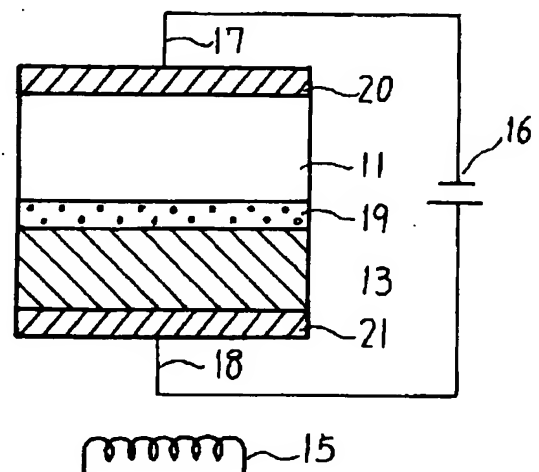
(54) 【発明の名称】 陽極接合方法及び装置

(57) 【要約】

【目的】 接合面のごみ等や基板のそりの存在によってボイドが発生し、接合に不均一が生じることで、接合強度が低下するという問題を解決し、均一で接着性の強い陽極接合を実現する。

【構成】 ガラス層と半導体又は導体層との間にガラスの軟化点よりも低温で半導体又は導体と共晶化する金属層を介在させ加熱し、半導体又は導体層側を陽極、ガラス層側を陰極として、両電極間に直流電圧を引加することにより、ガラス層と半導体又は導体層を接合する陽極接合方法。

本発明の原理(その2)



【特許請求の範囲】

【請求項1】 ガラス層と、導体又は半導体層と、前記ガラス層と前記導体又は半導体層の間にガラスの軟化点よりも低温で導体又は半導体と共晶化する金属層を介在させ、加熱する工程と、

前記導体又は半導体層側を陽極、前記ガラス層側を陰極として、これら両電極間に直流電圧を引加することにより、前記ガラス層と前記導体又は半導体層を接合する工程とを有することを特徴とする陽極接合方法。

【請求項2】 前記導体又は半導体層としてシリコンを用いることを特徴とする請求項1記載の陽極接合方法。

【請求項3】 前記導体又は半導体層と前記ガラス層の間に介在させる前記金属層として金を用いることを特徴とする請求項1記載の接合方法。

【請求項4】 対になった2つの面を有するガラス層の第1の面と第1の導体又は半導体層とで前記ガラス層の軟化点よりも低温で導体又は半導体と共晶化する金属層をはさんで加熱する工程と、

前記第1の導体又は半導体層側を陽極、前記ガラス層側を陰極として、これら両電極間に直流電圧を引加することにより、前記ガラス層と前記第1の導体又は半導体層を接合する工程と、

前記ガラス層の第2の面と第2の導体又は半導体層とで前記ガラス層の軟化点よりも低温で導体又は半導体と共晶化する金属層をはさんで、加熱する工程と、

前記第2の導体又は半導体層側を陽極、前記ガラス層側を陰極として、これら両電極間に直流電圧を引加することにより、前記ガラス層と前記第2の導体又は半導体層を接合する工程とを有することを特徴とする陽極接合方法。

【請求項5】 素子構造を有する導体又は半導体層と、前記導体又は半導体層と金属との共晶化層と、前記共晶化層とガラス層とが陽極接合されていることを特徴とする装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、例えばマイクロセンサやマイクロ電子銃等の微細な三次元構造をもつ機能素子を製造する技術として重要なシリコンとガラスの陽極接合の製造方法に関する。

【0002】

【従来の技術】 陽極接合方法は、金属等の導体やシリコン等の半導体と、ガラス等の無機絶縁膜とを接着剤を用いずに比較的低温のプロセスにて強固に接合させることが可能な接合方法である。この方法は、マイクロマシンなどの微細な三次元構造の形成に幅広く利用されている。これは、微細加工を必要とするマイクロマシン等を一度に多数製造しようとする、加工対象をウェハ状態で接合する必要があり、この場合、陽極接合によれば位置ずれを起こさず均一な接合を確実に行うことが比較的

容易だからである。尚、陽極接合に適した材料や接合条件等については、例えばG.Wallis and D.I. Pomerantz, Journal of Applied Physics, Vol.40(1969), pp.3946-3949 に詳しく記述されている。次に、図11を使って、シリコンとガラスとの間の陽極接合の原理を説明する。図中、80はシリコン、81はガラス、82はガラス81におしあてた金属の陰極端子、83はシリコン80に接続された陽極端子、84は電源、85は加熱装置を表す。

【0003】 図11(a)に示すように、シリコン80とシリコン80上に載置されたガラス81とは、これらを加熱するヒーター等を備えた加熱装置85の上に載置され、ガラス81には陰極端子82が押し当てられている。また、シリコン80には陽極端子83が電気的に接続されており、陽極として作用する。陽極接合法により接合されるシリコン80とガラス81は、まず、加熱装置85により、200～400℃に加熱される。次いで、陽極端子83と陰極端子82間に300～800Vの直流電圧を1～3分引加する。ガラス81内部にはNaが存在するが、加熱により、正のNa⁺イオンがガラス81の中を動きやすくなる。そこへ、電圧の引加によってNa⁺イオンは陰極82へと引かれて移動し、陰極82付近で中性化して析出する(図11(a))。

【0004】 一方、ガラス81中には不対電子を有する酸素等の負のイオンも存在するが、この負イオンは、ガラス81中に残る。従って、ガラス81がシリコン80と接している界面近傍86では負のイオン密度が最大となり、図11(b)に示すように、ガラス81とシリコン80の間86に強い静電引力が生じ、この静電引力によってガラス81とシリコン80の密着が起きる。

【0005】 さらに、ガラス81中の酸素とシリコン80とが共有結合することにより、ガラス81とシリコン80との間により強い接合が生じる。このようにして結合し一体化したガラス81とシリコン80との界面には、図11(c)に示すように、中性な空間電荷領域87が形成され、その両側には正負の薄い電荷領域が形成されるものと考えられる。この時点で、Na⁺イオンの移動がなくなって電流は流れなくなり、陽極接合が完了する。

【0006】 以上が陽極接合の原理であり、従来は、このように直接ガラスとシリコンとを接触させて接合を行っていた。

【0007】

【発明が解決しようとする課題】 以上のような陽極接合方法による陽極接合の接着の強さは、接合面の凹凸による影響が大きい。図12を使って、ガラスとシリコンの接触界面に微細な塵埃がある場合や反りがある場合は接着が弱くなるという問題を説明する。図12では、90はシリコン、91はガラスを示している。図12(a)では、シリコン90とガラス91の界面に塵埃92が存す

る場合を示しており、また、図12(b)では、シリコン90、ガラス91の界面に反り等があり、隙間93が生じている場合を示している。図12(c)は、界面に塵埃92が存するシリコン90とガラス91とを加熱し、陰極96と陽極97間に電源98により直流電圧をかけて陽極接合を形成したものを示している。図に示すように、シリコン90とガラス91との界面の平坦な箇所では空間電荷領域94が均一に形成され、陽極接合が均等に起こるので、その部分においては強固に接着されているが、塵埃92の回りでは、塵埃92が正負イオンの移動や結合が阻害し、接合が進まないため、未接着部分、即ちボイド95が生じてしまう。

【0008】図13はこのようなボイド95が発生した陽極接合後のシリコンウェハ90とガラス板91の様子を模式的に表したものである。以上説明したように、従来の方法による陽極接合では、接合面のごみ等や基板のそりの存在によってボイドが発生し、接合に不均一が生じることで、接合強度が低下するという問題を生じていた。

【0009】本発明は、このような問題を解決し、均一で接着性の強い陽極接合を実現し、マイクロマシン等の微細な三次元構造をもつ機能素子の製造を可能とすることを目的とするものである。

【0010】

【課題を解決するための手段】上記問題点は、ガラス層と、半導体層と、前記ガラス層と前記半導体層の間にガラスの軟化点よりも低温で半導体と共晶化する金属層を介在させ、加熱する工程と、前記半導体層側を陽極、前記ガラス層側を陰極として、これら両電極間に直流電圧を印加することにより、前記ガラス層と前記半導体層を接合する工程を有することを特徴とする陽極接合方法によって解決される。

【0011】図1及び図2を使って、本発明の原理を説明する。図中、11はガラス、12は金属薄膜、13はシリコン、15は加熱装置、16は電源、17はガラスに接続された金属の陰極端子、18はシリコンに接続された陽極端子を表す。始めに、図1(a)に示すように、ガラス11とシリコン13間の陽極接合界面に、ガラスの軟化点よりも低温でシリコンと共晶化する金属薄膜12、たとえば金の薄膜を挿入する。

【0012】次に、加熱装置15により共晶化点以上に温度を上昇させると、図1(b)に示すように、シリコン13と金12は反応して共晶化し、ガラス11とシリコン13の界面に薄くシリコンと金の共晶化合金の領域14が形成される。次いで、図2に示すように、シリコン側11が陽極17、ガラス側13が陰極18となるように金属膜20、21をはりつけ、それぞれ電源16と接続し、直流電圧を加える。その結果、陽極接合部分19を形成する。この接合が陽極接合であることは、図3(a)に示す電流の変化より証明される。図3(a)は、4

00ボルトの電圧を金を蒸着したシリコンとガラスとに印加した直後からの電流の変化を示したものであるが、電圧印加直後から急激に電流値が減少し、数分でほとんど電流が流れなくなる様子を示している。これは、典型的な陽極接合における電流変化であり、金を介在させても陽極接合が形成されていることが証明される。

【0013】一方、これとは対照的に、金を蒸着させたシリコンの蒸着面とアルミノケイ酸ガラス板と向かい合わせた状態で、接合面を単に400℃に加熱しただけで、電圧の印加を行わなかった場合では、全く接合しなかった。また、金を1μm程度コーティングしたコパル製の「T0-8」型金属パッケージのコーティング面とガラス板とを向かい合わせた状態で、約10kgf/cm²に加圧し、さらに接合面の温度が400℃になるように加熱した後、400ボルトの電圧を金側が陽極、ガラス側が陰極となるように印加して、陽極接合の形成を試みたところ、接合は起こらず容易に剥離した。この原因は、陽極接合を形成するためには、ガラス中の可動イオンが陰極へ移動した後、残った酸素原子と陽極金属との間で酸化物を形成する共有結合が進行することが必要であり、金のように酸素原子と共有結合しない金属のみでは陽極接合は起きないためと考えられる。従って、金を蒸着したシリコンとガラスにおいては、金—シリコンの共晶が、ガラスと陽極接合していることを示している。

【0014】以上のような方法で、接合した結果、従来の金を挿入しない場合には数百個/mm²の密度で発生していたボイドが、金を挿入した場合には数個/mm²程度の発生に激減する。これは事実上ボイドの発生がなくなったことに等しい。このように金薄膜を介在させたガラス11とシリコン13との陽極接合形成でボイドが減少するのは、図3(b)に示すように、共晶化合金領域14が軟らかいことによって、ガラス11とシリコン13の界面の塵等22に伴う非接触部分の間隙が埋まり、接合界面を均一な状態にする効果があるからである。このようにして形成された陽極接合は、ボイドの発生の少ない強固な接合となる。

【0015】

【発明の実施の形態】以下に本発明の第一の実施の形態を、図4を使って説明する。図4(a)に示すように、表面に厚さ約100nmの金31をスパッタ法により形成した大きさ20mm×20mmの正方形のシリコン基板30を、その金31蒸着面と、ナトリウムを含む厚さ約0.1mmのアルミノケイ酸ガラス板32と向かい合わせる。

【0016】次に、図4(b)に示すように、シリコン基板30とガラス板32の接合面が400℃になるように加熱装置33により加熱し、シリコン基板30とガラス板32とを共晶化させた状態で、図4(c)に示すようにシリコン基板30の裏面を直流電源34の陽極端子35に接続し、ガラス板32の裏面を陰極端子36に接続し

て400ボルト程度の電圧を印加する。

【0017】このようにして形成したガラス板32とシリコン基板30との結合を、赤外線を用いて円形状に確認できるボイド部分をカウントする方法や、干渉縞の形状等により目視により確認する等の方法によって、ボイドの発生を検査すると、ボイドの発生がかなり少なくなっていることが分かった。以下にマイクロ電子銃（微小電界放射電子銃）の製造に本発明を適用した第二の実施形態を、図5～図10を用い説明する。

【0018】図5はマイクロ電子銃モジュールチップの模式断面図であり、図中40はマイクロフィールドエミッタ41を有する第1のシリコン、42は SiO_2 膜、43及び45は金を蒸着したCr膜、44はガラス絶縁層、46は加速用電極である第2のシリコンを示す。この図に示すように、マイクロ電子銃モジュールチップは、電子(e^-)を発射するマイクロフィールドエミッタ41を有する第1のシリコン40と、電子を所定のエネルギーまで加速するための電極である第2のシリコン46と、絶縁して構造を支持する役目のガラス44とを重ね接合した構造体である。ここで、マイクロフィールドエミッタ41は、円柱の台座に先端の尖った三角柱が載っている形状である。また、ガラス絶縁層44には、マイクロフィールドエミッタ41から放出された電子を通過させるための開口部47が形成されている。

【0019】このようなマイクロ電子銃モジュールチップを製造するためには、主に第一のシリコン40と、ガラス絶縁層44及び第2のシリコン46の数層構造を形成する必要がある。ここでガラス絶縁層44の両側において、金薄膜をはさんでシリコンと陽極接合を行う方法を適用し、 SiO_2 膜42が堆積された第1のシリコン40とガラス絶縁層44の第1の接合と、この接合体と第2のシリコン46との第2の接合を行う。その後、ウェハを各マイクロ電子銃モジュールチップに切り出し、各マイクロ電子銃モジュールチップを金属モジュールに接合して、マイクロ電子銃の製造を完成させる。以下、各工程について詳しく説明する。

【0020】まず、複数のエミッタ41を有するマイクロフィールドエミッタチップを多数形成したシリコンウェハ50を作製し、これに金薄膜を蒸着するまでの工程を簡単に述べる。

図6(a) 参照

図に示すように、約 $0.5\mu\text{m}$ 厚の SiO_2 膜51を有するシリコンウェハ50を基板とする。

【0021】図6(b) 参照

次に、この基板に対して周知のフォトリソグラフィ法を用いて異方性エッチングを行い、エミッタの形成位置にあたる SiO_2 膜51のみを残し、他の部分の SiO_2 膜51を取り除く。

図6(c) 参照

等方性エッチングを用い、 SiO_2 膜51をマスクにし

て、シリコンウェハ50をエッチングする。これにより、 SiO_2 膜51直下のシリコンウェハ50はエッチングされないが、露出しているシリコンウェハ50はエッチングにより除去される。 SiO_2 膜51直下のシリコンウェハ50も、両側からのサイドエッチングにより、図のような形状となる。最終的に、この部分52がエミッタとなる。

【0022】図6(d) 参照

次に熱酸化により、シリコンウェハ50の表面を酸化して SiO_2 膜53を膜厚 $0.3\mu\text{m}$ 程度形成する。

図6(e) 参照

真空蒸着等の方法により、 SiO 膜54を全体に蒸着させる。膜厚は $0.7\mu\text{m}$ 程度である。 SiO 膜54は、エミッタとなる形状の周辺部及び上部の SiO_2 膜53の上には蒸着されるが、上部を SiO_2 膜51でカバーされたエミッタとなる位置52の周辺には蒸着されない。

【0023】図7(a) 参照

さらに、真空蒸着等の方法により、Cr膜55を全体に膜厚 $0.2\mu\text{m}$ 程度蒸着させる。Cr膜55は、 SiO 膜54同様エミッタとなる位置52の周辺には蒸着されない。

図7(b) 参照

次いで、真空蒸着等の方法により、金薄膜56を全体に厚さ 100nm 程度蒸着させる。金薄膜56は、Cr膜55、 SiO 膜54同様エミッタとなる位置52の周辺には蒸着されない。

【0024】図7(c) 参照

BHFにより、エミッタとなる形状の上部の SiO_2 膜51、 SiO 膜54、Cr膜55、金薄膜56を全体にリフトオフする。BHFは、フッ酸系であるため SiO_2 膜51、 SiO 膜54はエッチングするが、金薄膜56で覆われた部分はエッチングしない。一方、エミッタとなる形状の上部は金薄膜56でカバーされていてもサイドが露出している SiO_2 膜51、 SiO 膜54からのエッチングが進み、 SiO_2 膜51、53、 SiO 膜54、Cr膜55、金薄膜56が全体に除去される。このリフトオフにより、エミッタ57が露出する。

【0025】図7(d) 参照

次に、金薄膜56で覆われたCr膜55を金薄膜56とともに、マスクを用いゲートの形状にパターニングする。以上の工程により、金薄膜56を蒸着した、エミッタ57を有するマイクロフィールドエミッタチップが作製される。次に上記マイクロフィールドエミッタチップとガラス絶縁層と加速用電極となるシリコンとの接合を行い、マイクロ電子銃モジュールチップを作成する方法について説明する。

【0026】なお、以下の工程で用いられるガラス板には、周知の技術を用いて、マイクロ電子銃の完成時にエミッタ5.7から放出された電子を通過させるための第1

の開口部とマイクロ電子銃の完成時に各マイクロフィールドエミッタチップの電極と給電ワイヤとを接続可能にする第2の開口部を形成してある。また、以下の工程で用いられる加速電極用の第2のシリコンウェハにも、マイクロ電子銃の完成時にエミッタ57から放出された電子を通過させるための開口部が形成され、接合面には予め、金が100nm程度の厚さにスパッタで蒸着してある。

【0027】図8(a) 参照

次に、図6(a)～(d)及び図7(a)～(d)の工程で作製したCr膜55の上に金薄膜56が蒸着した第1のシリコンウェハ60の金薄膜56の面と、絶縁層ガラス板61とを、陽極接合を用いて接合する。この場合、シリコンウェハ60として、例えば、径3インチ、厚さ500 μ mのものを用い、ガラス板61として、例えば、50mm \times 50mmで厚さ100 μ mのものを用いる。

【0028】第1の接合にあたって、まず、シリコンウェハ60の位置合わせマークとガラス板61の位置合わせマークを用いて位置合わせを行う。続いて、シリコンウェハ60とガラス板61の接合面が300℃程度になるようにヒータ62により加熱しつつ、シリコンウェハ60上の給電パッドを直流電源63の陽極64に接続し、ガラス板61は、図にはないが陰極端子を通して陰極65に接続して300ボルト程度の電圧を10分程度印加する。これにより複数のマイクロフィールドエミッタチップを有する第1のシリコンウェハ60と絶縁層ガラス板61の第1の接合が行われる。

【0029】図8(b) 参照

図8(a)によって接合された第1のシリコンウェハ60と絶縁層ガラス板61の模式断面図を図8(b)に示す。

図9(a) 参照

次に第1のシリコンウェハ60/絶縁層ガラス板61に、金を蒸着した加速電極である第2のシリコンウェハ66との第2の接合工程について説明する。この場合、加速電極用のシリコンウェハ66として、例えば、径3インチ、厚さ200 μ mのものを用いている。

【0030】第2の接合にあたって、まず、第2のシリコンウェハ66の位置合わせマークと絶縁層ガラス板61の位置合わせマークを用いて位置合わせを行う。続いて、第2のシリコンウェハ66と絶縁層ガラス板61の接合面が300℃程度になるように加熱装置62により加熱しつつ、第2のシリコンウェハ66上の給電パッドを直流電源63の陽極と接続し、絶縁層ガラス板61に既に接合された第1のシリコンウェハ上の給電パッドを直流電源63の陰極に接続して、300ボルト程度の電圧を10分程度印加する。これにより第2の接合工程である複数のマイクロフィールドエミッタチップを有するシリコンウェハ60/絶縁層ガラス板61と第2のシリコンウェハ66との第2の接合工程が行われる。

【0031】図9(b) 参照

図9(a)によって接合された第1のシリコンウェハ60と絶縁層ガラス板61及び第2のシリコンウェハ66の模式断面図を図9(b)に示す。

図10(a) 参照

前記第1の接合工程及び前記第2の接合工程の終了後に、加速電極用シリコンウェハ66上のスクライブ用ラインを用いて、個々のマイクロ電子銃モジュールチップ67にカッティングし、分離する。マイクロ電子銃モジュールチップ67は、加速電極68、ガラス絶縁層69、マイクロフィールドエミッタを有するシリコン層70の三層構造が、前述した接合工程により形成されている。

【0032】加速電極68は、マイクロフィールドエミッタから放出された電子を通過させるための開口部71を有する。

図10(b) 参照

次に切り出したマイクロ電子銃モジュールチップ67を組み立てる。マイクロ電子銃のパッケージとしては、例えば「TO-5」型の金属パッケージ72を用いる。まず、「TO-5」型の金属パッケージ72の表面に切り出されたマイクロ電子銃モジュールチップ67を接合させる。

【0033】次いで、加速電極68、電極73、金属パッケージ72のそれぞれの端子を給電ワイヤ74により接続する。上記のような工程により、マイクロ電子銃を製造する。この方法によると、マイクロ電子銃を一度に多量製造することが可能である。以上、本発明の具体的な実施の形態について説明したが、本発明は、具体例のみに限定されるべきものではなく、種々の態様で実施することができ、多くの変形が可能である。

【0034】例えば、本実施の形態では、シリコンとガラスの接合に陽極接合法を例にとったが、これはシリコンとガラス又は半導体とガラスに限定するものではなく、金等と共晶合金を作り酸化される金属とガラスの接合であっても構わない。

【0035】

【発明の効果】以上の通り、本発明によれば、接合界面に薄く形成された共晶合金により、ボイドの原因となっていた接合界面の塵やそり等に伴う非接触部分の間隙が埋まり、接合界面を均一で平坦な状態にする。その結果、ボイドの発生が防止され、接合がより均一で強固なものとなる効果を奏する。

【図面の簡単な説明】

【図1】本発明の原理の説明図(その1)である。

【図2】本発明の原理の説明図(その2)である。

【図3】本発明の原理の説明図(その3)である。

【図4】本発明の第1の実施の形態を示す説明図である。

【図5】本発明の第2の実施の形態を示す説明図(その1)である。

【図6】本発明の第2の実施形態を示す説明図（その2）である。

【図7】本発明の第2の実施形態を示す説明図（その3）である。

【図8】本発明の第2の実施形態を示す説明図（その4）である。

【図9】本発明の第2の実施形態を示す説明図（その5）である。

【図10】本発明の第2の実施形態を示す説明図（その6）である。

【図11】従来の一般的な陽極接合の説明図である。

【図12】従来方法における問題点を表す図である。

【図13】陽極接合界面のボイド発生例を示す模式図である。

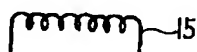
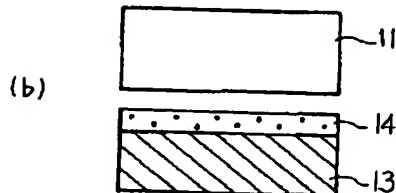
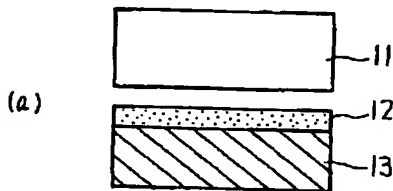
【符号の説明】

11、32、51、60 ガラス
13、30、50、61、70 シリコン

17、36、62、76 陰極端子
18、35、63、77 陽極端子
16、34、55、64、78 電源
15、33、54、65 加熱装置
12、31 金薄膜
14、37 共晶合金の領域
19、38 陽極接合部分
40 第1のシリコン
41 マイクロフィールドエ
ミッタ
42 SiO_2 膜
43、45 金を蒸着したCr膜
44 ガラス絶縁層
46 加速用電極である第2
のシリコン
47 開口部
60 金属パッケージ

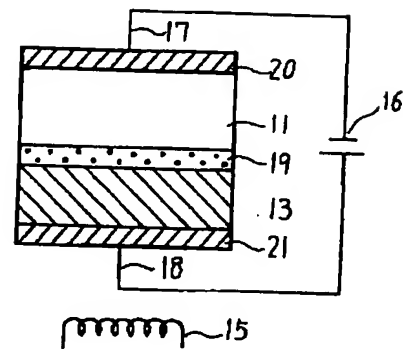
【図1】

本発明の原理（その1）



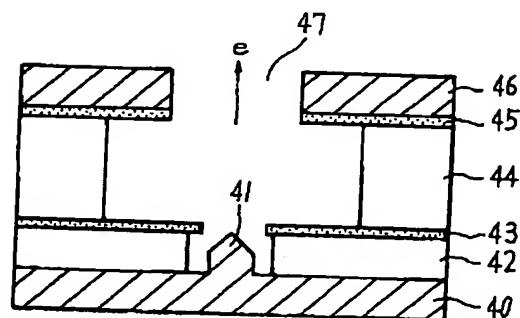
【図2】

本発明の原理（その2）



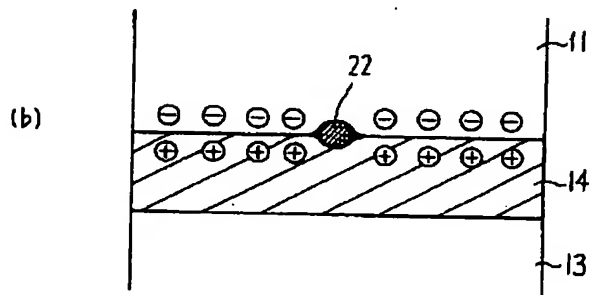
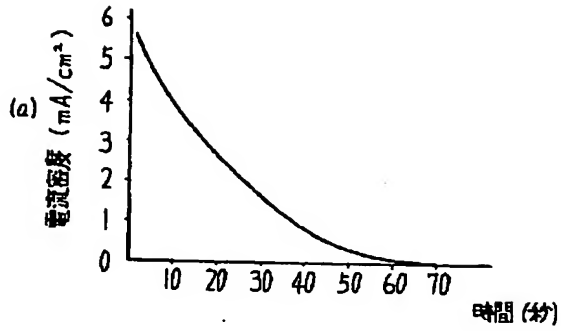
【図5】

本発明の第2の実施の形態（その1）



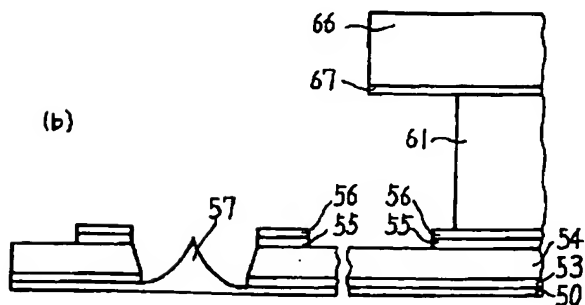
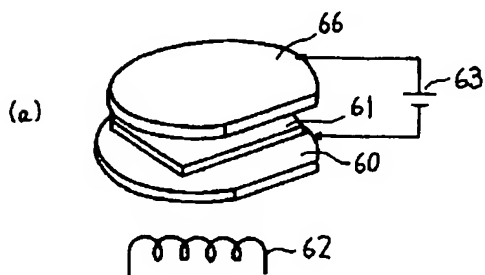
【図3】

本発明の原理(その3)



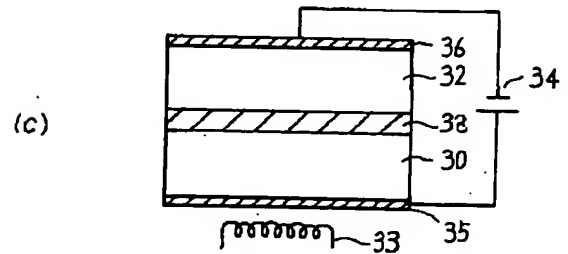
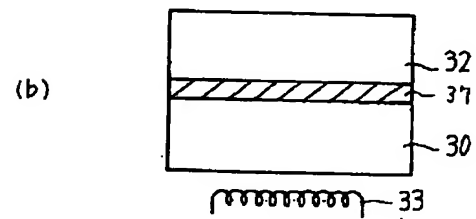
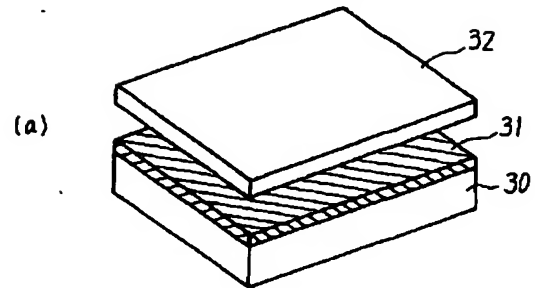
【図9】

本発明の第2の実施の形態(その5)



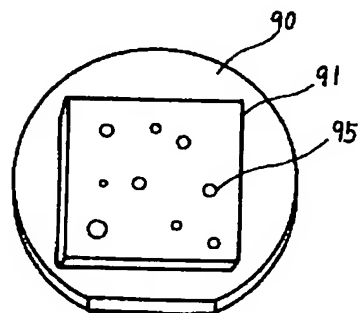
【図4】

本発明の第1の実施の形態



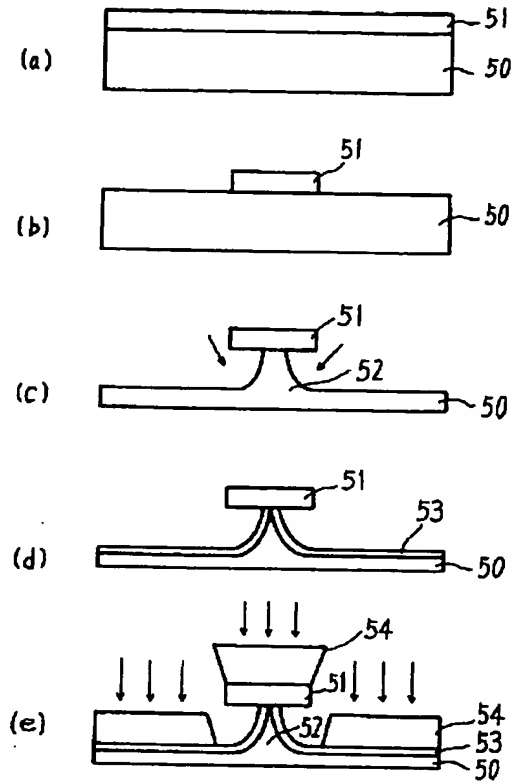
【図13】

陽極接合界面のボイド発生例



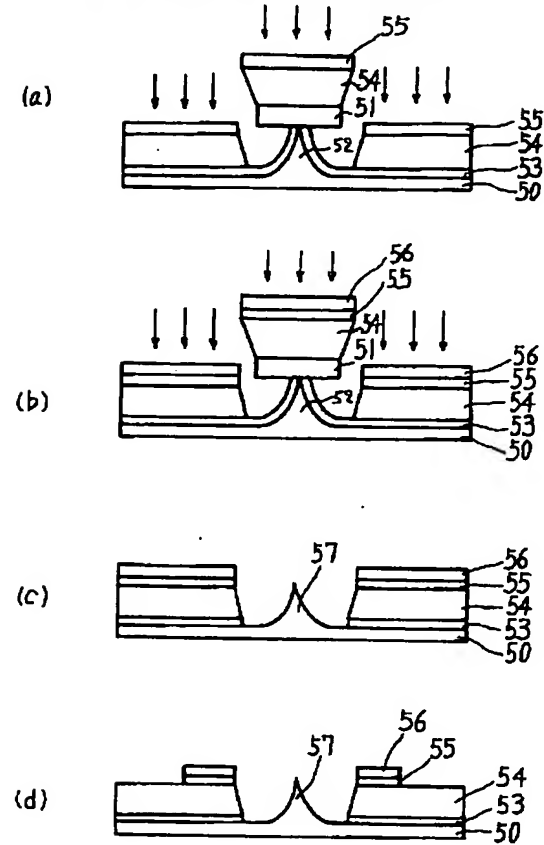
【図6】

本発明の第2の実施の形態(その2)



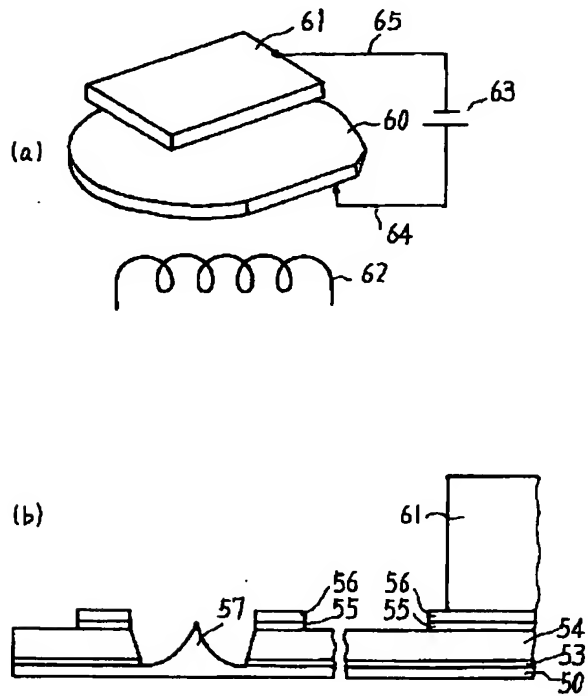
【図7】

本発明の第2の実施の形態(その3)



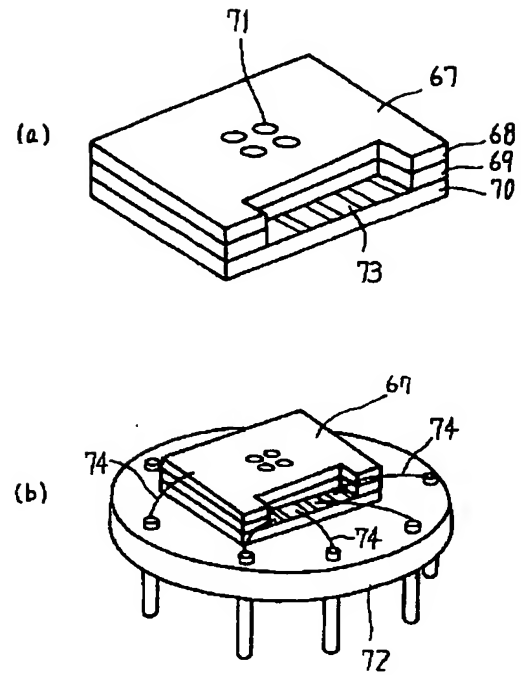
【図8】

本発明の第2の実施の形態(その4)



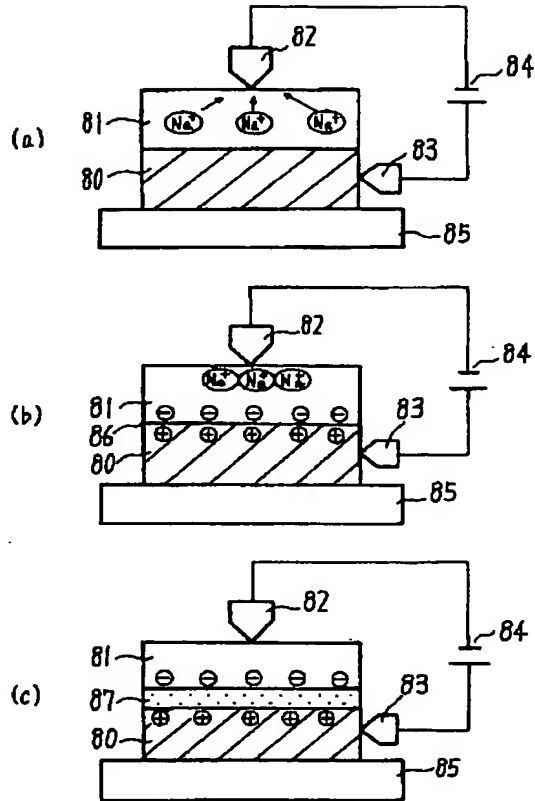
【図10】

本発明の第2の実施の形態(その6)



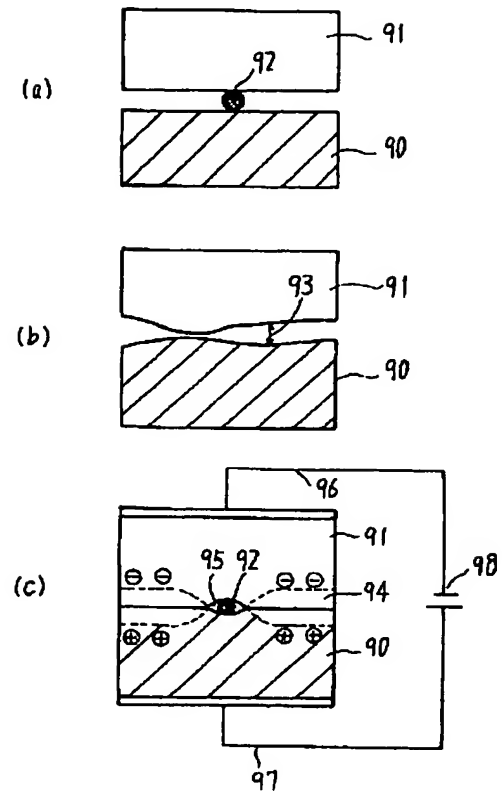
【図11】

陽極接合の原理



【図12】

従来方法における問題点



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.